

H 4

**PATENT APPLICATION**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re the Application of

Tokuro OZAWA

Application No.: New U.S. Patent Application

Filed: October 13, 2000

Docket No.: 107260

For: DRIVING CIRCUIT FOR ELECTRO-OPTICAL DEVICE, ELECTRO-OPTICAL  
DEVICE, AND ELECTRONIC EQUIPMENT

**CLAIM FOR PRIORITY**

Director of the U.S. Patent and Trademark Office  
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 11-294397 filed October 15, 1999

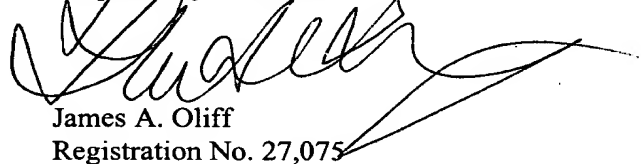
In support of this claim, a certified copy of said original foreign application:

  X   is filed herewith.

           was filed on            in Parent Application No.            filed           .

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

  
James A. Oliff  
Registration No. 27,075

Thu Anh Dang  
Registration No. 41,544

JAO:TAD/cmm  
Date: October 13, 2000

**OLIFF & BERRIDGE, PLC**  
**P.O. Box 19928**  
**Alexandria, Virginia 22320**  
**Telephone: (703) 836-6400**

**DEPOSIT ACCOUNT USE  
AUTHORIZATION**

Please grant any extension  
necessary for entry;  
Charge any fee due to our  
Deposit Account No. 15-0461



日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

JC853 U.S. PRO  
09/689658  
10/13/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出 願 年 月 日  
Date of Application:

1 9 9 9 年 1 0 月 1 5 日

出 願 番 号  
Application Number:

平成 1 1 年 特 許 願 第 2 9 4 3 9 7 号

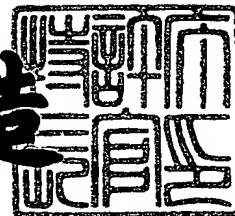
出 願 人  
Applicant(s):

セイコーエプソン株式会社

2 0 0 0 年 9 月 2 2 日

特 許 庁 長 官  
Commissioner,  
Patent Office

及 川 耕 造



CERTIFIED COPY OF  
PRIORITY DOCUMENT

出 願 番 号 出 願 年 2 0 0 0 - 3 0 7 8 0 8 3

【書類名】 特許願

【整理番号】 J0074150

【提出日】 平成11年10月15日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/36

【発明者】

    【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

    【氏名】 小澤 徳郎

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

    【代表者】 安川 英昭

【代理人】

    【識別番号】 100093388

    【弁理士】

    【氏名又は名称】 鈴木 喜三郎

    【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

    【識別番号】 100095728

    【弁理士】

    【氏名又は名称】 上柳 雅誉

【選任した代理人】

    【識別番号】 100107261

    【弁理士】

    【氏名又は名称】 須澤 修

【手数料の表示】

    【予納台帳番号】 013044

    【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711684

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電気光学装置の駆動回路、電気光学装置および電子機器

【特許請求の範囲】

【請求項 1】 アナログ画像信号に基づいて、基板にマトリックス状に形成された複数の画素を駆動することにより画像表示を行う電気光学装置の駆動回路において、

前記アナログ画像信号をデジタル信号に変換する A/D 変換手段と、

前記デジタル信号を記憶する記憶手段と、

前記記憶手段に記憶されたデジタル信号をアナログ信号に変換し、前記画素に供給する D/A 変換手段と

を具備することを特徴とする電気光学装置の駆動回路。

【請求項 2】 1 水平走査期間内に入力される前記アナログ画像信号を順次サンプリングして保持する複数のサンプリング回路を前記基板にさらに具備し、

前記 A/D 変換手段は、前記複数のサンプリング回路に保持された各アナログ画像信号を各々デジタル信号に変換する複数の A/D 変換器を具備し、

前記記憶手段は、前記複数の A/D 変換器から得られる複数のデジタル信号を記憶し、

前記 D/A 変換手段は、前記記憶手段に記憶された複数のデジタル信号を各々アナログ信号に変換して複数の画素に供給する複数の D/A 変換器を具備することを特徴とする請求項 1 に記載の電気光学装置の駆動回路。

【請求項 3】 前記複数の A/D 変換器および記憶手段は、前記複数のサンプリング回路に保持された各アナログ画像信号を、各々が保持されてから前記 1 水平走査期間よりも短い時間内にデジタル信号に変換して記憶することを特徴とする請求項 2 に記載の電気光学装置の駆動回路。

【請求項 4】 前記記憶手段は、一定期間内に前記 A/D 変換手段から得られる複数のデジタル信号を記憶し、

前記 D/A 変換手段は、前記記憶手段に記憶された複数のデジタル信号を各々アナログ信号に変換して複数の画素に供給する複数の D/A 変換器を具備することを特徴とする請求項 1 に記載の電気光学装置の駆動回路。

【請求項 5】 前記 A/D 変換手段から得られるデジタル信号を前記記憶手段に供給する経路と、外部からのデジタル信号を前記記憶手段に供給する経路とを具備することを特徴とする請求項 4 に記載の電気光学装置の駆動回路。

【請求項 6】 前記 D/A 変換手段は、前記記憶手段に記憶されたデジタル信号に対応したアナログ信号に非線形変換を施したアナログ信号を当該デジタル信号から生成する D/A 変換器によって構成されてなることを特徴とする請求項 1 に記載の電気光学装置の駆動回路。

【請求項 7】 前記基板上に薄膜トランジスタを形成することにより構成されてなることを特徴とする請求項 1 乃至 6 に記載の電気光学装置の駆動回路。

【請求項 8】 請求項 1 乃至 7 に記載の電気光学装置の駆動回路を備えたことを特徴とする電気光学装置。

【請求項 9】 請求項 8 に記載の電気光学装置を表示装置に用いたことを特徴とする電子機器。

# 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

この発明は、電気光学装置の駆動回路、電気光学装置およびこの電気光学装置を表示装置に用いた電子機器に関する。

## 【0002】

## 【従来の技術】

電気光学装置の一例として、アクティブマトリックス型液晶パネルが知られている。このアクティブマトリックス型液晶パネルは、素子基板と対向基板との間に電気光学材料たる液晶を封入したものである。図 10 は、この種のアクティブマトリックス型液晶パネルの一例である液晶パネル 1 の構成を示すブロック図である。この図 10 には、この液晶パネル 1 の他に、その周辺回路であるタイミング信号生成回路 2 および  $\gamma$  補正回路 3 が図示されている。これらの周辺回路は、1 または複数の半導体集積回路によって構成されている。

## 【0003】

液晶パネル 1 の構成を説明するのに先立ち、これらの周辺回路について説明す

る。タイミング信号発生回路 2 は、液晶パネル 1 内の各部の動作タイミングを制御するための各種タイミング信号を発生する回路である。このタイミング信号発生回路 2 によって発生されるタイミング信号のうち主要なものとして、走査線選択パルス G と、データ線選択パルス D S と、選択信号 S E L A および S E L B とがある。ここで、走査線選択パルス G は、1 フレーム（1 垂直走査）期間毎に 1 個ずつタイミング信号発生回路 2 から出力される。また、データ線選択パルス D S は、各フレーム期間内の各水平走査期間毎に 1 個ずつ出力される。また、選択信号 S E L A および S E L B は、水平走査期間に同期し、排他的にレベルが切り換わる信号であり、選択信号 S E L A が例えば奇数番目の水平走査期間においてハイレベルとなるとすると、選択信号 S E L B は偶数番目の水平走査期間においてハイレベルとなる。

## 【0004】

$\gamma$  補正回路 3 は、液晶パネル 1 に供給されるアナログ画像信号の  $\gamma$  補正を行う回路である。すなわち、液晶パネル 1 における画素（後述）は、その表示の階調が印加電圧に対して非線形に変化する特性を有していることから、この  $\gamma$  補正回路 3 により、画素の非線形特性と逆関数の関係にある非線形変換（ $\gamma$  補正）を予めアナログ画像信号に施して液晶パネル 1 に供給し、表示の階調をアナログ画像信号に対してリニアに変化させるようにしているのである。

## 【0005】

次に、液晶パネル 1 について説明する。この液晶パネル 1 は、既に説明したように、素子基板と対向基板との間に電気光学材料たる液晶を封止したものである。ここで、液晶パネル 1 の素子基板には、図 10 に示すように、M 本の平行な走査線 1 1 - i ( $i = 1 \sim M$ ) と、これらと交差する N 本の平行なデータ線 1 2 - j ( $j = 1 \sim N$ ) が形成されている。そして、これらの走査線 1 1 - i ( $i = 1 \sim M$ ) とデータ線 1 2 - j ( $j = 1 \sim N$ ) との各交差点に、各々 M 行 N 列をなす画素  $Q_{ij}$  ( $i = 1 \sim M, j = 1 \sim N$ ) とスイッチングトランジスタ  $T_{ij}$  ( $i = 1 \sim M, j = 1 \sim N$ ) とが形成されている。

## 【0006】

各画素  $Q_{ij}$  ( $i = 1 \sim M, j = 1 \sim N$ ) は、素子基板に設けられた画素電極

と、対向基板に設けられた対向電極と、画素電極と対向電極との間に挟まれた液晶とにより構成されている。スイッチングトランジスタ  $T_{ij}$  ( $i = 1 \sim M$ ,  $j = 1 \sim N$ ) は、素子基板上に形成された TFT (Thin Film Transistor; 薄膜トランジスタ) である。

## 【0007】

各データ線  $12-j$  は、画素における表示階調を決定するアナログ画像信号を伝送するための配線であり、列を同じくする  $M$  個のスイッチングトランジスタ  $T_{ij}$  ( $i = 1 \sim M$ ) のソースに接続されている。また、各走査線  $11-i$  は、アナログ画像信号の書き込みを指令する選択電圧を伝送するための配線であり、行を同じくする  $N$  個のスイッチングトランジスタ  $T_{ij}$  ( $j = 1 \sim N$ ) のゲートに各々接続されている。各スイッチングトランジスタ  $T_{ij}$  ( $i = 1 \sim M$ ,  $j = 1 \sim N$ ) のドレインは、画素  $Q_{ij}$  ( $i = 1 \sim M$ ,  $j = 1 \sim N$ ) の画素電極に各々接続されている。各スイッチングトランジスタ  $T_{ij}$  ( $i = 1 \sim M$ ,  $j = 1 \sim N$ ) は、各々に対応した走査線  $11-i$  を介してゲートに選択電圧が印加されることにより導通し、各々のソースに接続されたデータ線  $12-j$  上のアナログ画像信号を画素  $Q_{ij}$  の画素電極に印加する。

## 【0008】

液晶パネル 1 の素子基板には、以上説明した各要素の他、走査線駆動回路 13 と、データ線駆動回路 14 と、 $N$  個のサンプリング回路  $15-j$  ( $j = 1 \sim N$ ) が各々形成されている。

## 【0009】

走査線駆動回路 13 は、タイミング信号生成回路 2 による制御の下、1 フレーム (1 垂直走査) 期間内の各水平走査期間毎に、走査線  $11-i$  ( $i = 1 \sim M$ ) に選択電圧  $G_i$  ( $i = 1 \sim M$ ) を順次供給する回路である。この走査線駆動回路 13 は、例えば走査線選択パルス  $G$  を順次シフトするシフトレジスタによって構成することが可能である。このシフトレジスタを用いる場合、同シフトレジスタの各ステージから得られるパルスを走査線  $11-i$  ( $i = 1 \sim M$ ) に供給するように構成すればよい。

## 【0010】

データ線駆動回路 1 4 は、各走査線に選択電圧が出力されている間、N 個のサンプリングパルス  $SP_j$  ( $j = 1 \sim N$ ) を順次出力する回路である。このデータ線駆動回路 1 4 は、例えばデータ線選択パルス  $DS$  を順次シフトするシフトレジスタによって構成することが可能である。このシフトレジスタを用いる場合、同シフトレジスタの各ステージからサンプリングパルス  $SP_j$  ( $j = 1 \sim N$ ) を取り出すように構成すればよい。

## 【0011】

サンプリング回路 1 5 -  $j$  ( $j = 1 \sim N$ ) は、データ線 1 2 -  $j$  ( $j = 1 \sim N$ ) に対応して各々設けられている。各サンプリング回路 1 5 -  $j$  ( $j = 1 \sim N$ ) には、選択信号  $SELA$  および  $SELB$  が供給される。また、各サンプリング回路 1 5 -  $j$  ( $j = 1 \sim N$ ) には、1 水平期間毎に、サンプリングパルス  $SP_j$  ( $j = 1 \sim N$ ) のうち対応するものが与えられる。

## 【0012】

各サンプリング回路 1 5 -  $j$  は、アナログスイッチ  $SA-j$ 、 $SB-j$ 、 $SC-j$ 、 $SD-j$  および  $SS-j$  と、ボルテージフォロア型バッファ  $BUFA-j$  および  $BUFB-j$  と、容量  $CA-j$  および  $CB-j$  とが、図示のように接続されてなるものである。

## 【0013】

各アナログスイッチ  $SA-j$  等は、素子基板上の TFT により構成されたアナログスイッチスイッチである。ここで、アナログスイッチ  $SS-j$  は、ハイレベルのサンプリングパルス  $SP_j$  が印加されることにより導通する。また、アナログスイッチ  $SA-j$  は、選択信号  $SELA$  がハイレベルである間だけ導通し、アナログスイッチ  $SB-j$  は、選択信号  $SELA$  がローレベルである間だけ導通する。また、アナログスイッチ  $SC-j$  は、選択信号  $SELB$  がハイレベルである間だけ導通し、アナログスイッチ  $SD-j$  は、選択信号  $SELB$  がローレベルである間だけ導通する。

## 【0014】

図 1 1 は、以上説明した液晶パネルの動作を示すタイムチャートである。以下、このタイムチャートを参照し、従来のアクティブマトリックス型液晶表示装置

の動作について説明する。

【0015】

図 1 1 に示すように、各フレーム期間では、水平走査期間毎に、選択電圧  $G_1$ 、 $G_2$ 、…が順次出力される。また、選択信号  $SELA$  および  $SELB$  は、水平走査期間に同期してレベルが排他的に切り換えられる。

【0016】

図 1 1 に示す例において、選択電圧  $G_1$  の出力が行われる第 1 番目の水平走査期間では選択信号  $SELA$  がハイレベル、選択信号  $SELB$  がローレベルとされる。このため、各サンプリング回路  $15-j$  ( $j=1\sim N$ ) では、アナログスイッチ  $SA-j$  および  $SD-j$  が導通し、アナログスイッチ  $SB-j$  および  $SC-j$  が非導通となる。

【0017】

この状態において、サンプリングパルス  $SP_j$  ( $j=1\sim N$ ) がデータ線駆動回路 1 4 から順次出力されると、各サンプリング回路  $15-j$  ( $j=1\sim N$ ) のアナログスイッチ  $SS-j$  ( $j=1\sim N$ ) が順次導通する。そして、 $\gamma$  補正回路 3 から順次出力される各画素に対応したアナログ画像信号は、アナログスイッチ  $SS-j$  ( $j=1\sim N$ ) および  $SA-j$  ( $j=1\sim N$ ) を介してキャパシタ  $CA-j$  ( $j=1\sim N$ ) に順次印加され、各キャパシタによって保持される。

【0018】

この間、直前の水平走査期間において各サンプリング回路  $15-j$  ( $j=1\sim N$ ) のキャパシタ  $CB-j$  ( $j=1\sim N$ ) に書き込まれた電圧が、アナログスイッチ  $SD-j$  ( $j=1\sim N$ ) を介することにより、データ線  $12-j$  ( $j=1\sim N$ ) に出力される。データ線  $12-j$  ( $j=1\sim N$ ) 上の各出力電圧は、選択電圧  $G_1$  がハイレベルである間、スイッチングトランジスタ  $T1_j$  ( $j=1\sim N$ ) を介して、第 1 行目の画素  $Q1_j$  ( $j=1\sim N$ ) の各画素電極に印加される。図 1 1 では、キャパシタ  $CB-j$  ( $j=1\sim N$ ) からデータ線  $12-j$  ( $j=1\sim N$ ) に出力される電圧のうち画素  $Q1_j$  ( $j=1\sim N$ ) の各画素電極に印加される部分が斜線によって示されている。

【0019】

次に、選択電圧  $G_2$  の出力が行われる第 2 番目の水平走査期間では選択信号  $SEL_A$  がローレベル、選択信号  $SEL_B$  がハイレベルとされる。このため、各サンプリング回路  $15-j$  ( $j=1\sim N$ ) では、アナログスイッチ  $SB-j$  および  $SC-j$  が導通し、アナログスイッチ  $SA-j$  および  $SD-j$  が非導通となる。

## 【0020】

この状態において、サンプリングパルス  $SP_j$  ( $j=1\sim N$ ) がデータ線駆動回路 14 から順次出力されると、各サンプリング回路  $15-j$  ( $j=1\sim N$ ) のアナログスイッチ  $SS-j$  ( $j=1\sim N$ ) が順次導通する。そして、 $\gamma$  補正回路 3 から順次出力される各画素に対応したアナログ画像信号は、アナログスイッチ  $SS-j$  ( $j=1\sim N$ ) および  $SB-j$  ( $j=1\sim N$ ) を介してキャパシタ  $CB-j$  ( $j=1\sim N$ ) に順次印加され、各キャパシタによって保持される。

## 【0021】

この間、直前の水平走査期間において各サンプリング回路  $15-j$  ( $j=1\sim N$ ) のキャパシタ  $CA-j$  ( $j=1\sim N$ ) に書き込まれた各電圧が、アナログスイッチ  $SC-j$  ( $j=1\sim N$ ) を介することにより、データ線  $12-j$  ( $j=1\sim N$ ) に出力される。このデータ線  $12-j$  ( $j=1\sim N$ ) 上の各出力電圧は、選択電圧  $G_2$  がハイレベルである間、スイッチングトランジスタ  $T_{2j}$  ( $j=1\sim N$ ) を介して、第 2 行目の画素  $Q_{2j}$  ( $j=1\sim N$ ) の各画素電極に印加される。図 11 では、キャパシタ  $CA-j$  ( $j=1\sim N$ ) からデータ線  $12-j$  ( $j=1\sim N$ ) に出力される電圧のうち画素  $Q_{1j}$  ( $j=1\sim N$ ) の各画素電極に印加される部分が斜線によって示されている。

## 【0022】

以後の各水平走査期間においても、同様な動作が繰り返され、これにより 1 画面分の全画素に対応した各アナログ画像信号が、液晶パネル 1 における画素  $Q_{ij}$  ( $i=1\sim M$ ,  $j=1\sim N$ ) の各画素電極に印加される。

## 【0023】

各画素  $Q_{ij}$  ( $i=1\sim M$ ,  $j=1\sim N$ ) では、印加電圧に応じて、画素電極と対向電極とに挟まれた液晶の配向が変化し、画素の透過率が変化する。これにより各画素ではアナログ画像信号に応じた階調での表示が行われる。

## 【 0 0 2 4 】

## 【発明が解決しようとする課題】

ところで、上述した従来の液晶パネルにおいて、外部から入力されたアナログ画像信号は、アナログ信号のまま液晶パネル内に保持され、各画素へと供給されるため、その保持および供給過程において、サンプリングスイッチ  $SS-j$  ( $j = 1 \sim N$ ) のスイッチングによって発生するノイズの影響を受け易い。このため、アナログ画像信号をそのままの大きさに各画素に印加するのが困難であり、このことが表示画像の品質を高める上での障害となっていた。

## 【 0 0 2 5 】

また、特に大型の液晶パネルは、極めて大きな寄生容量が各データ線に介在しており、その容量値が  $nF$  のオーダーに達するものもある。このような大型の液晶パネルでは、データ線を駆動するために大きな駆動力が必要となる。図 10 に示す液晶パネル 1 において、バッファ  $BUFA-j$  ( $j = 1 \sim N$ ) および  $BUFB-j$  ( $j = 1 \sim N$ ) が用いられているのは、このような大きな寄生容量を持ったデータ線  $12-j$  ( $j = 1 \sim N$ ) を駆動するためである。ここで、高品質の画像表示を行うためには、液晶パネル 1 に与えられるアナログ画像信号に正確に対応した電圧がこれらのデータ線  $12-j$  ( $j = 1 \sim N$ ) に印加され、画素の駆動に用いられるべきである。

## 【 0 0 2 6 】

しかし、TFTを用いた液晶パネルの場合、TFTを用いたオペアンプによって、これらのバッファが構成されることとなる。ここで、TFTは、その閾値やいわゆる  $k$  パラメータ（相互コンダクタンスをトランジスタのチャネル幅／チャネル長によって除したパラメータ）の製造ばらつきが大きい。このため、TFTの閾値や  $k$  パラメータの製造ばらつきに起因したオフセットがバッファ  $BUFA-j$  ( $j = 1 \sim N$ ) および  $BUFB-j$  ( $j = 1 \sim N$ ) に生じ、本来のアナログ画像信号に対応した電圧からずれた電圧がデータ線に印加され、画像表示の品質が劣化することとなる。

## 【 0 0 2 7 】

このような不都合を回避するためには、オペアンプのオフセットをキャンセル

する回路を液晶パネルに設けたり、あるいはオペアンプのオフセットをキャンセルするためのトリミングを個々の液晶パネル毎に実施する、といった策を講じる必要があるが、そのような策を講じた場合には製造コストの増大という別の問題が発生する。

#### 【0028】

また、従来の液晶パネル 1 では、ある水平走査期間においてサンプリングパルス  $SP_j$  ( $j = 1 \sim N$ ) によって容量  $CA - j$  ( $j = 1 \sim N$ ) または  $CB - j$  ( $j = 1 \sim N$ ) へのアナログ画像信号の書き込みが順次行われた後、その次の水平走査期間においてこれらの各アナログ画像信号がデータ線  $12 - j$  ( $j = 1 \sim N$ ) に印加される。この間、容量  $CA - j$  ( $j = 1 \sim N$ ) または  $CB - j$  ( $j = 1 \sim N$ ) に保持されたアナログ画像信号がリークにより減衰することとなるが、その減衰量が大きいと、表示画像のコントラストの低下を招くこととなる。しかも、図 11 に例示されるように、例えば 1 列目の画素に対応した容量  $CA - 1$  は、水平走査期間内の最初にアナログ画像信号の書き込みが行われるため、次の水平走査期間が始まるまでの間にアナログ画像信号が著しく減衰するのに対し、例えば  $N$  列目の画素に対応した容量  $CA - N$  は、水平走査期間内の最後にアナログ画像信号の書き込みが行われるため、次の水平走査期間が始まるまでの間におけるアナログ画像信号の減衰は比較的少ない。このように 1 行を構成する各画素の順位に応じて、異なった減衰量でアナログ画像信号が減衰すると、表示画像のコントラストが画面左右方向に傾斜することになる。

#### 【0029】

このような問題を回避するためには、1 水平走査期間という長期間に互って容量  $CA - j$  ( $j = 1 \sim N$ ) または  $CB - j$  ( $j = 1 \sim N$ ) に保持されたアナログ画像信号をほぼ一定に維持する必要があり、そのためには、これらの容量を大きくする必要がある。しかし、これらの容量を大きくすると、各容量にアナログ画像信号を書き込む動作が遅くなってしまうため、液晶パネルを高速駆動することが困難になるという問題があった。

#### 【0030】

この発明は、以上説明した事情に鑑みてなされたものであり、スイッチングノ

イズやリークの影響を受けることなくアナログ画像信号に対応した電圧を精度良く画素に供給することができ、かつ、アナログ画像信号の高速サンプリングが可能な電気光学装置およびこれを表示装置に用いた電子機器を提供することを目的としている。

## 【0031】

## 【課題を解決するための手段】

この発明は、アナログ画像信号に基づいて、基板にマトリックス状に形成された複数の画素を駆動することにより画像表示を行う電気光学装置の駆動回路において、前記アナログ画像信号をデジタル信号に変換するA/D変換手段と、前記デジタル信号を記憶する記憶手段と、前記記憶手段に記憶されたデジタル信号をアナログ信号に変換し、前記画素に供給するD/A変換手段とを前記基板上に具備することを特徴とする電気光学装置の駆動回路を提供するものである。

## 【0032】

かかる電気光学装置の駆動回路によれば、入力されたアナログ画像信号はデジタル信号に変換され、画素への供給時期まで、デジタル信号として記憶手段に保存される。従って、入力されたアナログ画像信号を劣化させることなく画素に供給することができる。

## 【0033】

この電気光学装置の駆動回路は、1水平走査期間内に入力される前記アナログ画像信号を順次サンプリングして保持する複数のサンプリング回路を前記基板上にさらに具備し、前記A/D変換手段は、前記複数のサンプリング回路に保持された各アナログ画像信号を各々デジタル信号に変換する複数のA/D変換器を具備し、前記記憶手段は、前記複数のA/D変換器から得られる複数のデジタル信号を記憶し、前記D/A変換手段は、前記記憶手段に記憶された複数のデジタル信号を各々アナログ信号に変換して複数の画素に供給する複数のD/A変換器を具備するものであってもよい。

## 【0034】

この場合において、前記複数のA/D変換器および記憶手段は、前記複数のサンプリング回路に保持された各アナログ画像信号を、各々が保持されてから1水

平走査期間よりも短い時間内にデジタル信号に変換して記憶するようにしてもよい。

【0035】

また、A/D変換手段を複数のA/D変換器により構成するのではなく、前記記憶手段が、一定期間内に前記A/D変換手段から得られる複数のデジタル信号を記憶し、前記D/A変換手段は、前記記憶手段に記憶された複数のデジタル信号を各々アナログ信号に変換して複数の画素に供給する複数のD/A変換器を具備するものであってもよい。

【0036】

この場合において、前記A/D変換手段から得られるデジタル信号を前記記憶手段に供給する経路と、外部からのデジタル信号を前記記憶手段に供給する経路とを設けてもよい。

【0037】

かかる電気光学装置の駆動回路によれば、アナログ画像信号を取り扱う用途と、デジタル画像信号を取り扱う用途の両方に適用することができるので、電気光学装置を必要とする複数種類の電子機器を製造する場合に、その部品たる電気光学装置を共用化し、製造コストを低減することが可能となる。

【0038】

また、以上説明した各電気光学装置の駆動回路において、D/A変換手段は、前記記憶手段に記憶されたデジタル信号に対応したアナログ信号に $\gamma$ 補正などの非線形変換を施したアナログ信号を当該デジタル信号から生成するD/A変換器によって構成してもよい。

【0039】

このようにすることで、 $\gamma$ 補正などのためのアナログ回路を別途設ける必要がなくなり、装置を簡素化することができる。

【0040】

本発明は、特に、基板に薄膜トランジスタを形成することにより構成されたTFTアクティブマトリックス型液晶パネルに好適である。

【0041】

本発明に係る電気光学装置の駆動回路を有する電気光学装置は、それ単体で製造・販売等される他、プロジェクタやコンピュータなどの各種電子機器の表示装置として用いられる。

【0042】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

【0043】

A・第1の実施形態

図1は、この発明に係る電気光学装置の第1の実施形態であるアクティブマトリックス型液晶パネル1Aの構成を示すブロック図である。なお、この図において、上述した図10と対応する部分には同一の符号を付し、その説明を省略する。

【0044】

この液晶パネル1Aにおいては、データ線 $12-j$  ( $j=1\sim N$ )に対応し、サンプリングスイッチ $SS-j$  ( $j=1\sim N$ )と、容量 $C-j$  ( $j=1\sim N$ )と、A/D変換器 $16-j$  ( $j=1\sim N$ )と、第1のラッチ $17-j$  ( $j=1\sim N$ )と、第2のラッチ $18-j$  ( $j=1\sim N$ )と、D/A変換器 $19-j$  ( $j=1\sim N$ )とが設けられている。

【0045】

これらの回路を構成する素子は、画素の画素電極やスイッチングトランジスタ等と共に素子基板上に形成されている。

【0046】

A/D変換器 $16-j$  ( $j=1\sim N$ )は、例えば逐次比較型のA/D変換器である。これらのA/D変換器 $16-j$  ( $j=1\sim N$ )の各アナログ入力端子は、サンプリングスイッチ $SS-j$  ( $j=1\sim N$ )を各々介して、アナログ画像信号の入力信号ラインに接続されている。また、A/D変換器 $16-j$  ( $j=1\sim N$ )の各アナログ信号入力端子は、容量 $C-j$  ( $j=1\sim N$ )の一方の電極に接続され、これらの容量における他方の電極は接地されている。

【0047】

A/D変換器 16-j ( $j = 1 \sim N$ ) は、容量  $C-j$  ( $j = 1 \sim N$ ) に保持されたアナログ信号をデジタル信号に変換して出力する。ここで、A/D変換器 16-j ( $j = 1 \sim N$ ) による各 A/D変換は、各々に対応したサンプリングスイッチ  $SS-j$  ( $j = 1 \sim N$ ) がオン状態となって容量  $C-j$  ( $j = 1 \sim N$ ) にアナログ画像信号が書き込まれた後、1 水平走査期間よりも短い時間内に開始される。

## 【0048】

各ラッチ 17-j ( $j = 1 \sim N$ ) は、各々に対応した A/D変換器 16-j ( $j = 1 \sim N$ ) による A/D変換が終了した直後、各 A/D変換器 16-j ( $j = 1 \sim N$ ) から出力されたデジタル信号を各々保持する。

## 【0049】

A/D変換器 16-j ( $j = 1 \sim N$ ) および第 1 のラッチ 17-j ( $j = 1 \sim N$ ) の動作タイミングを制御するタイミング制御回路については各種考えられるが、かかる回路は例えば図 2 に示すように構成することができる。

## 【0050】

この図 2 に例示するタイミング制御回路は、クロック発生回路 20 と、N 個の A/D変換タイミング制御回路 21-j ( $j = 1 \sim N$ ) とを有する。ここで、クロック発生回路 20 は、図 3 に例示するように、一定周波数のクロック CLK を出力する。また、各 A/D変換タイミング制御回路 21-j は、図 3 に例示するように、サンプリングパルス  $SP_j$  が出力されてから所定個数のクロック CLK が出力された後、A/D変換器 16-j が A/D変換を行って 1 個のデジタル信号を出力するのに必要な一連のタイミング制御信号をクロック CLK に同期して出力し、その後、A/D変換器 16-j から出力されるデジタル信号をラッチ 17-j に書き込むためのラッチパルスを出力する。

## 【0051】

このように本実施形態では、サンプリングパルス  $SP_j$  によってサンプリングされ、容量  $C-j$  に保持されたアナログ画像信号は、その後、1 水平走査期間よりも短い時間内にデジタル信号に変換され、ラッチ 17-j に保持される。従って、従来の液晶パネル 1 における容量  $CA-j$  ( $j = 1 \sim N$ ) や  $CB-j$  ( $j =$

1 ～ N) よりも容量  $C - j$  ( $j = 1 \sim N$ ) の容量値を小さくすることができる。

【 0 0 5 2 】

第 2 のラッチ 1 8 -  $j$  ( $j = 1 \sim N$ ) は、第 1 のラッチ 1 7 -  $j$  ( $j = 1 \sim N$ ) の出力データを保持する手段である。図 1 に示す構成では、タイミング信号生成回路 2 からこれらのラッチ 1 8 -  $j$  ( $j = 1 \sim N$ ) に対し、1 水平走査期間毎にラッチパルス  $L a t$  が与えられる。これにより第 1 のラッチ 1 7 -  $j$  ( $j = 1 \sim N$ ) に保持された  $N$  画素分のデジタル信号は第 2 のラッチ 1 8 -  $j$  ( $j = 1 \sim N$ ) に転送される。

【 0 0 5 3 】

D/A 変換器 1 9 -  $j$  ( $j = 1 \sim N$ ) は、第 2 のラッチ 1 8 -  $j$  ( $j = 1 \sim N$ ) に保持された各デジタル信号の D/A 変換を行う。ここで、D/A 変換器 1 9 -  $j$  ( $j = 1 \sim N$ ) は、単にデジタル信号をこれに対応したアナログ信号に変換するのではなく、D/A 変換時に  $\gamma$  補正を行い、 $\gamma$  補正のなされたアナログ信号をデータ線 1 2 -  $j$  ( $j = 1 \sim N$ ) に各々出力する。

【 0 0 5 4 】

この D/A 変換器 1 9 -  $j$  ( $j = 1 \sim N$ ) として、例えばスイッチドキャパシタ型の D/A 変換器を用いることができる。

【 0 0 5 5 】

一般的にこの種のスイッチドキャパシタ型の D/A 変換器は、変換対象であるデジタル信号の各ビットに対応した複数の容量と、各容量に対する充放電を行うためのスイッチング回路とを有している。ここで、各容量は、デジタル信号の各ビットの重みに対応した容量値を有している。そして、スイッチング回路のスイッチング動作により、変換対象である各ビットのうち値が“1”であるビットに対応した容量のみに基準電源からの基準電圧が与えられ、その後、各容量に保持された電荷が加算され、この加算後の電荷に相当するアナログ電圧が出力されるのである。このスイッチドキャパシタ型の D/A 変換器は、オペアンプを用いることなく、容量とスイッチング用の T F T のみにより構成することができるので、オフセットを生じさせることなく、D/A 変換を行うことができる。

【 0 0 5 6 】

本実施形態におけるD/A変換器19-j (j=1~N)は、このスイッチドキャパシタ型のD/A変換器に対し $\gamma$ 補正機能を付加したものである。簡単のため、3ビットのデジタルデータD0~D2のD/A変換の場合を例に本実施形態におけるD/A変換器の概略を説明すると次の通りである。

## 【0057】

まず、このD/A変換器は、3ビットのデジタルデータD0~D2に対応した3個の容量を有している。これらの3個の容量は、ビットD0~D2の各々の重みに対応した容量値Cdac、2Cdacおよび4Cdacを各々有している。また、3個の容量とこのD/A変換器の出力端子との間にはスイッチが介挿されている。ここで、D/A変換器の出力端子には、容量値Cslnの寄生容量が介在している。さらにこのD/A変換器には、3個の容量に所定の電圧Vdacを印加するとともに、D/A変換器の出力端子に所定の電圧Vslnを印加する直流電源を有している。

## 【0058】

このような構成において、上記スイッチを開放した状態で、3個の容量のうち“1”であるビットに対応した容量に直流電源から電圧Vdacが印加され、D/A変換器の出力端子に電圧Vslnが印加される。その後、上記スイッチが導通状態とされる。この結果、3個の容量と出力端子側の寄生容量との間で電荷の移動が行われ、次式により与えられる電圧VがD/A変換器の出力端子から出力される。

## 【0059】

$$V = (N \cdot C_{dac} \cdot V_{dac} + C_{sln} \cdot V_{sln}) / (N \cdot C_{dac} + C_{sln})$$

上記式において、Nは下位3ビットに対応した数値である。上記の各容量値と各電圧値とを適当に選ぶことにより、D/A変換器の出力電圧Vを3ビットのデジタルデータに対応した数値Nに応じてS字状に増加させ、Nに対応したアナログ電圧に対して $\gamma$ 補正を施したアナログ電圧を得ることができる。

## 【0060】

なお、デジタルデータのビット数が多い場合には、上位ビットの値により上記電圧VdacおよびVslnを切り換え、広い範囲のアナログ電圧を得るようにしても

よい。

【0061】

以上が本実施形態の構成である。

【0062】

図4は、以上説明した液晶パネル1Aの動作を示すタイムチャートである。以下、このタイムチャートを参照し、本実施形態の動作について説明する。

【0063】

図4に示すように、各水平走査期間では、データ線駆動回路14からサンプリングパルス $SP_j$  ( $j=1\sim N$ ) が順次出力され、サンプリングスイッチ $SS-j$  ( $j=1\sim N$ ) が順次導通状態とされる。そして、外部から液晶パネル1Aに入力されるアナログ画像信号 $SigA$ は、導通状態となっているサンプリングスイッチ $SS-j$ を介して容量 $C-j$ に印加され、当該サンプリングスイッチ $SS-j$ が非導通状態に戻ることににより容量 $C-j$ に保持される。このようなサンプリング動作が各サンプリングスイッチ $SS-j$  ( $j=1\sim N$ ) によって順次行われる結果、アナログ画像信号のN個のサンプル $SigA_j$  ( $j=1\sim N$ ) が容量 $C-j$  ( $j=1\sim N$ ) に順次保持される。

【0064】

各A/D変換器16-j ( $j=1\sim N$ ) では、各々に対応した容量 $C-j$ にアナログ画像信号のサンプル（以下、アナログサンプルという） $SigA_j$ が保持されてから1水平走査期間より短い所定時間内にアナログサンプル $SigA_j$ が開始される。そして、各A/D変換器16-j ( $j=1\sim N$ ) からN個のアナログサンプル $SigA_j$  ( $j=1\sim N$ ) に対応したデジタル信号 $D_j$  ( $j=1\sim N$ ) が順次出力される。各デジタル信号 $D_j$  ( $j=1\sim N$ ) は、各々A/D変換器からの出力後、直ちに第1のラッチ17-j ( $j=1\sim N$ ) に保持される。

【0065】

そして、タイミング信号発生回路2からラッチパルス $Lat$ が出力されることにより、第1のラッチ17-j ( $j=1\sim N$ ) に保持されたデジタル信号 $D_j$  ( $j=1\sim N$ ) は、第2のラッチ18-j ( $j=1\sim N$ ) に一斉に書き込まれる。その後直ちに、D/A変換器18-j ( $j=1\sim N$ ) により、第2のラッチ18

$-j$  ( $j = 1 \sim N$ ) に保持されたデジタル信号  $D_j$  ( $j = 1 \sim N$ ) の D/A 変換が開始される。この D/A 変換が終了すると、 $\gamma$  補正のなされたアナログ信号が D/A 変換器 18-j ( $j = 1 \sim N$ ) から出力され、データ線 12-j ( $j = 1 \sim N$ ) に各々供給される。

## 【0066】

このデータ線 12-j ( $j = 1 \sim N$ ) 上の各アナログ信号は、ハイレベルの選択電圧  $G_i$  が出力されている間、スイッチングトランジスタ  $T_{ij}$  ( $j = 1 \sim N$ ) を介して、画素  $Q_{ij}$  ( $j = 1 \sim N$ ) の各画素電極に印加される。

## 【0067】

以後の各水平走査期間においても、同様な動作が繰り返され、これにより 1 画面分の全画素に対応した各アナログ信号が、液晶パネル 1 における画素  $Q_{ij}$  ( $i = 1 \sim M, j = 1 \sim N$ ) の各画素電極に印加され、画像の表示が行われる。

## 【0068】

以上のように、本実施形態によれば、サンプリングパルス  $SP_j$  によって容量  $C-j$  に保持されたアナログサンプル  $SigA_j$  は、その保持後、僅かな時間のうちにデジタル信号  $D_j$  に変換され、このデジタル信号  $D_j$  は D/A 変換器 18-j による D/A 変換が開始されるまでラッチ 17-j に保持される。このため、容量  $C-j$  に保持されたアナログサンプル  $SigA_j$  がリークによって減衰したとしても、画素に印加される電圧にはその影響が殆ど現れない。従って、本実施形態によれば、高品質での画像表示が可能となる。また、本実施形態によれば、従来の液晶パネル 1 における容量  $CA-j$  ( $j = 1 \sim N$ ) や  $CB-j$  ( $j = 1 \sim N$ ) よりも容量  $C-j$  ( $j = 1 \sim N$ ) の容量値を小さくすることができ、アナログ画像信号の高速サンプリングが可能になるとともに消費電力を低減することができる。

## 【0069】

なお、上記実施形態では、各サンプリングパルス  $SP_j$  が出力されるのに応じて、A/D 変換器 16-j およびラッチ 17-j の動作タイミングを制御する制御信号を発生させるようにしたが、N 個の A/D 変換器 16-j ( $j = 1 \sim N$ ) および N 個のラッチ 17-j ( $j = 1 \sim N$ ) をグループ分けし、各グループ単位

で A/D 変換の動作制御およびラッチへの書き込み制御を行うようにしてもよい。図 5 はその場合のタイミング制御回路の構成例を示すものである。この例では、A/D 変換器 16-j ( $j = 1 \sim N$ ) およびラッチ 17-j ( $j = 1 \sim N$ ) が  $k$  個ずつにグループ分けされている。そして、例えば最初のグループでは、サンプリングパルス  $SP_{k+1}$  が出力されることにより、A/D 変換タイミング制御回路 21-( $k+1$ ) による A/D 変換器 16-j ( $j = 1 \sim k$ ) およびラッチ 17-j ( $j = 1 \sim k$ ) の動作タイミングの制御が開始される。また、次のグループでは、サンプリングパルス  $SP_{2k+1}$  が出力されることにより、A/D 変換タイミング制御回路 21-( $2k+1$ ) による A/D 変換器 16-j ( $j = k+1 \sim 2k$ ) およびラッチ 17-j ( $j = k+1 \sim 2k$ ) の動作タイミングの制御が開始される。それ以後の各グループについても同様である。

【0070】

#### B. 第 2 の実施形態

図 6 はこの発明の第 2 の実施形態である液晶パネル 1 B の構成を示すブロック図である。なお、この図において、上述した図 1 と対応する部分には同一の符号を付し、その説明を省略する。この液晶パネル 1 B は、上述した第 1 の実施形態におけるサンプリングスイッチ  $SS-j$  ( $j = 1 \sim N$ )、容量  $C-j$  ( $j = 1 \sim N$ ) および A/D 変換器 16-j ( $j = 1 \sim N$ ) に相当するものを有していない。その代わりにこの液晶パネル 1 B は、A/D 変換器 22 を有している。この A/D 変換器 22 には、液晶パネル 1 B の外部からアナログ画像信号が入力される。A/D 変換器 22 は、このアナログ画像信号の A/D 変換を 1 走査期間の間に  $N$  回繰り返す。1 走査期間の間にはデータ線駆動回路 14 によってサンプリングパルス  $SP_j$  ( $j = 1 \sim N$ ) が順次出力される。A/D 変換器 22 による A/D 変換は、各サンプリングパルス  $SP_j$  が出力される前に行われ、サンプリングパルス  $SP_j$  が出力されるときには A/D 変換によって得られたデジタル信号がラッチ 17-j ( $j = 1 \sim N$ ) に供給される。

【0071】

ラッチ 17-j ( $j = 1 \sim N$ ) には、データ線駆動回路 14 からのサンプリングパルス  $SP_j$  ( $j = 1 \sim N$ ) が、ラッチパルスとして供給される。各ラッチ 1

7-j は、各々に対応したサンプリングパルス  $SP_j$  が与えられることにより、その時点において A/D 変換器 22 から出力されているデジタル信号を保持する。

【0072】

本実施形態では、このようなアナログ形式による画像信号の入力経路の他に、デジタル形式による画像信号の入力経路が設けられており、いずれかの入力経路を選択することが可能である。デジタル形式による画像信号の入力経路が選択された場合、外部からのデジタル画像信号  $SigD$  は 1 画素分ずつサンプリングパルス  $SP_j$  ( $j = 1 \sim N$ ) の発生タイミングに同期してこの液晶パネル 1B に入力される。そして、サンプリングパルス  $SP_j$  ( $j = 1 \sim N$ ) によりラッチ 17-j ( $j = 1 \sim N$ ) に順次書き込まれる。

【0073】

他の構成は第 1 の実施形態と同様である。

【0074】

図 7 は本実施形態の動作を示すタイムチャートである。

【0075】

このタイムチャートに示すように、本実施形態では、各サンプリングパルス  $SP_j$  が出力される毎に、A/D 変換器 22 からアナログサンプル  $SigA_j$  に対応したデジタル信号  $SigD_j$  が出力され、これがデジタル信号  $D_j$  としてラッチ 17-j に保持される。

【0076】

それ以外の動作は、上記第 1 の実施形態と同様である。

【0077】

本実施形態によれば、液晶パネル 1B に供給されたアナログ画像信号は、直ちにデジタル信号に変換され、データ線への印加を行う時期が到来するまでデジタル信号としてラッチ 17-j ( $j = 1 \sim N$ ) やラッチ 18-j ( $j = 1 \sim N$ ) に保存され、データ線への印加時にアナログ信号に戻される。従って、液晶パネル 1B に入力されてからデータ線に印加されるまでの過程におけるアナログ画像信号の劣化が少なく、高品質での画像表示を行うことができる。

## 【0078】

また、本実施形態によれば、電気光学装置によれば、アナログ形式による画像信号の入力経路の他に、デジタル形式による画像信号の入力経路が設けられているので、デジタル形式による画像信号の入力経路アナログ画像信号を取り扱う用途と、デジタル画像信号を取り扱う用途の両方に適用することができる。従って、液晶パネルを必要とする複数種類の電子機器を製造する場合に、その部品たる液晶パネルを共用化し、製造コストを低減することが可能となる。

## 【0079】

## C. 第3の実施形態

次に、上述した液晶パネル1Aまたは1Bを電子機器に用いた例について説明する。

## 【0080】

## &lt;その1：プロジェクタ&gt;

まず、この液晶パネルをライトバルブとして用いたプロジェクタについて説明する。図8は、プロジェクタの構成例を示す平面図である。

## 【0081】

この図に示すように、プロジェクタ1100内部には、ハロゲンランプ等の白色光源からなるランプユニット1102が設けられている。このランプユニット1102から射出された投射光は、ライトガイド1104内に配置された4枚のミラー1106および2枚のダイクロイックミラー1108によってRGBの3原色に分離され、各原色に対応するライトバルブとしての液晶パネル1110R、1110Bおよび1110Gに入射される。

## 【0082】

液晶パネル1110R、1110Bおよび1110Gは、上述した液晶パネル1Aまたは1Bと同じ構成を有しており、図示しない画像信号処理回路から供給されるR、G、Bの原色信号が上述したアナログ画像信号SigAとして与えられる。これらの液晶パネルによって変調された光は、ダイクロイックプリズム1112に3方向から入射される。このダイクロイックプリズム1112においては、RおよびBの光が90度に屈折する一方、Gの光が直進する。したがって、

各色の画像が合成される結果、投射レンズ 1114 を介して、スクリーン等にカラー画像が投写されることとなる。

【0083】

なお、液晶パネル 1110R、1110B および 1110G には、ダイクロイックミラー 1108 によって、R、G、B の各原色に対応する光が入射するので、対向基板にカラーフィルタを設ける必要はない。

【0084】

#### <その 2：モバイル型コンピュータ>

次に、この液晶パネルを、モバイル型のコンピュータに適用した例について説明する。図 9 は、このコンピュータの構成を示す正面図である。図において、コンピュータ 1200 は、キーボード 1202 を備えた本体部 1204 と、液晶ディスプレイ 1206 とから構成されている。この液晶ディスプレイ 1206 は、先に述べた液晶パネル 1A または 1B の背面にバックライトを付加することにより構成されている。

【0085】

なお、図 8 および図 9 を参照して説明した電子機器の他にも、液晶テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、携帯電話、テレビ電話、POS 端末、タッチパネルを備えた装置等などが挙げられる。そして、本発明にかかるこれらの各種電子機器に適用可能なのは言うまでもない。

【0086】

さらに、本発明は、アクティブマトリクス型の液晶パネルとして TFT を用いたものを例にとって説明したが、これに限られず、スイッチング素子として TFTD (Thin Film Diode: 薄膜ダイオード) を用いたものや、STN 液晶を用いたパッシブ型の液晶装置などにも適用可能であり、またシリコン基板にスイッチング素子を作り込む場合にも適用可能である。さらに、液晶表示装置に限られず、エレクトロルミネッセンス素子など、各種の電気光学効果を用いて表示を行う表示装置にも適用可能である。

【 0 0 8 7 】

【発明の効果】

以上説明したように本発明に係る電気光学装置または電子機器によれば、入力されたアナログ画像信号はデジタル信号に変換され、画素への供給時期まで、デジタル信号として保存される。従って、スイッチングノイズや装置内でのリークの影響によって劣化させることなく、アナログ画像信号を画素に供給し、高品質での画像表示を行うことができる。また、本発明によれば、サンプリングされたアナログ画像信号を保持するための容量を大きなものとする必要がないので、高速サンプリングが可能になり、かつ、消費電力を低減することができる。

【図面の簡単な説明】

【図 1】 この発明の第 1 の実施形態に係る液晶パネルの構成を示すブロック図である。

【図 2】 同実施形態におけるタイミング制御回路の構成を示すブロック図である。

【図 3】 同タイミング制御回路の動作を示すタイムチャートである。

【図 4】 同実施形態の動作を示すタイムチャートである。

【図 5】 タイミング制御回路の他の構成例を示すブロック図である。

【図 6】 この発明の第 2 の実施形態に係る液晶パネルの構成を示すブロック図である。

【図 7】 同実施形態の動作を示すタイムチャートである。

【図 8】 この発明の第 3 の実施形態に係る電子機器の例であるプロジェクタの構成を示す図である。

【図 9】 同電子機器の他の例であるモバイル型コンピュータを示す図である。

【図 1 0】 従来のアクティブマトリックス型液晶パネルの構成を示すブロック図である。

【図 1 1】 同液晶パネルの動作を示すタイムチャートである。

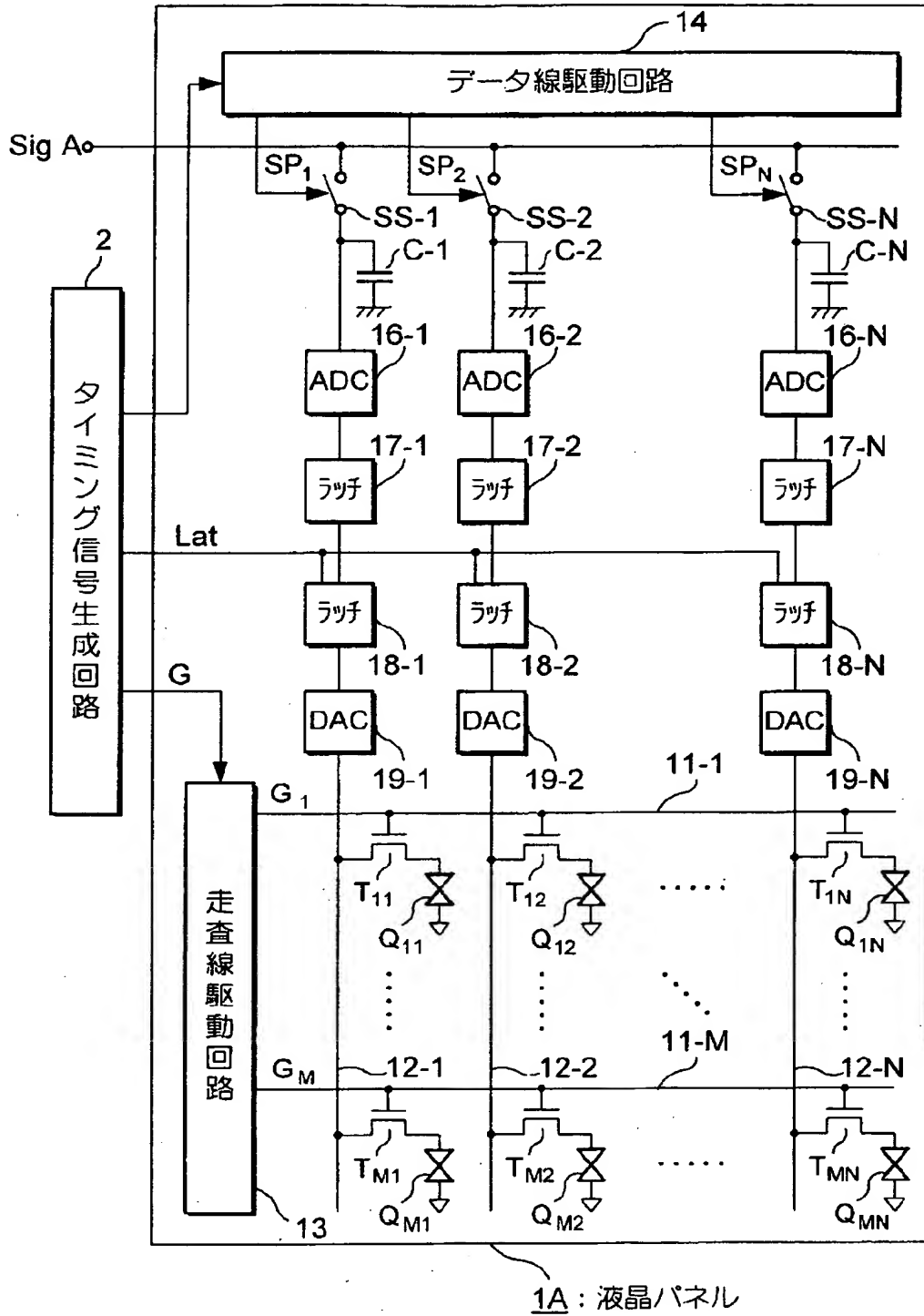
【符号の説明】

1 A、1 B ……液晶パネル

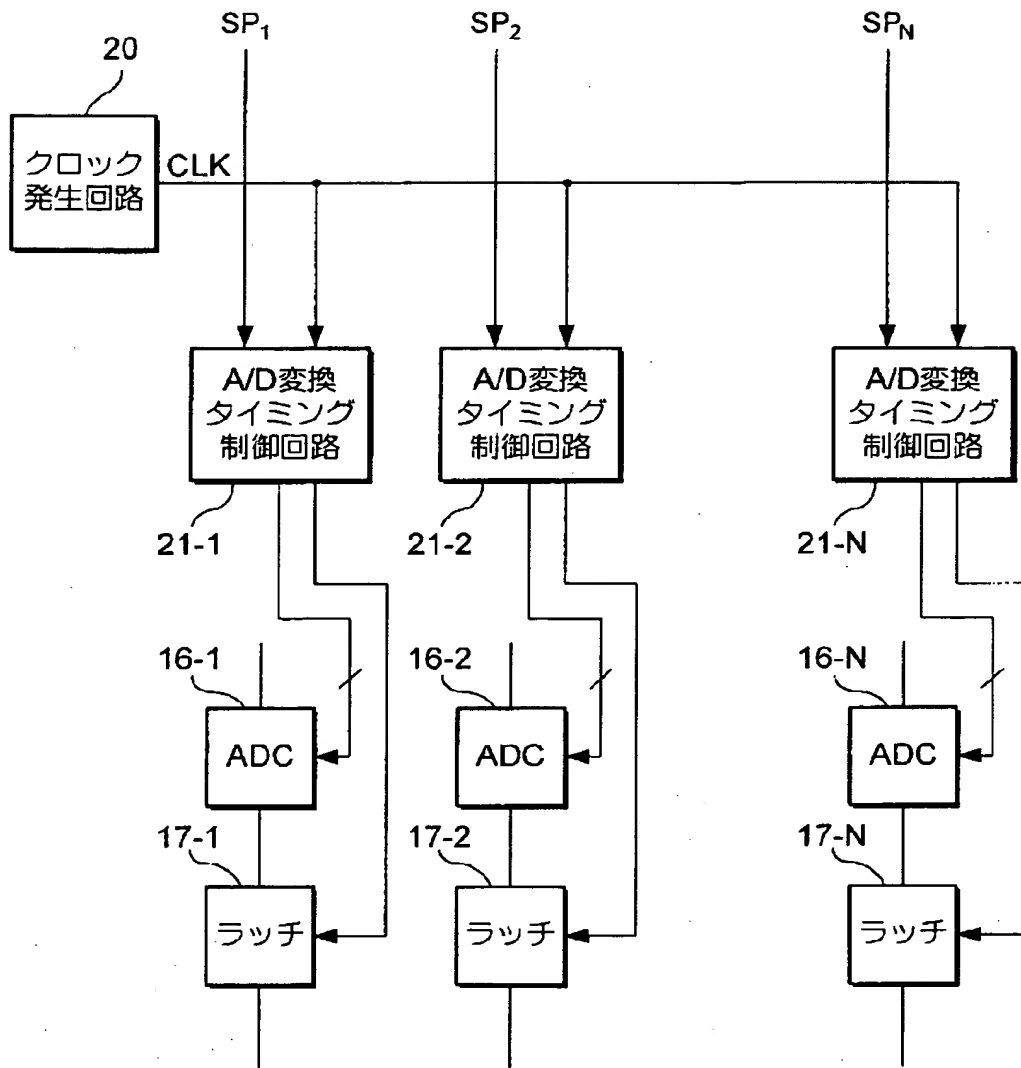
$Q_{ij}$  ( $i = 1 \sim M$ ,  $j = 1 \sim N$ ) ……画素  
 $T_{ij}$  ( $i = 1 \sim M$ ,  $j = 1 \sim N$ ) ……スイッチングトランジスタ  
 $11-i$  ( $i = 1 \sim M$ ) ……走査線  
 $12-j$  ( $j = 1 \sim N$ ) ……データ線  
 $13$  ……走査線駆動回路  
 $14$  ……データ線駆動回路  
 $SS-j$  ( $j = 1 \sim N$ ) ……サンプリングスイッチ  
 $C-j$  ( $j = 1 \sim N$ ) ……容量  
 $16-j$  ( $j = 1 \sim N$ ) ……A/D変換器  
 $17-j$  ( $j = 1 \sim N$ ) ……第1のラッチ  
 $18-j$  ( $j = 1 \sim N$ ) ……第2のラッチ  
 $19-j$  ( $j = 1 \sim N$ ) ……D/A変換器  
 $22$  ……A/D変換器

【書類名】 図面

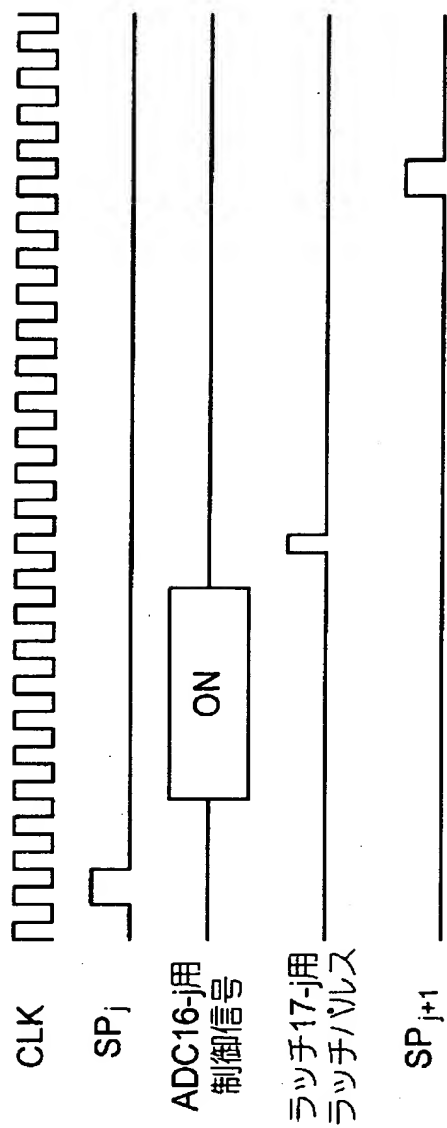
【図 1】



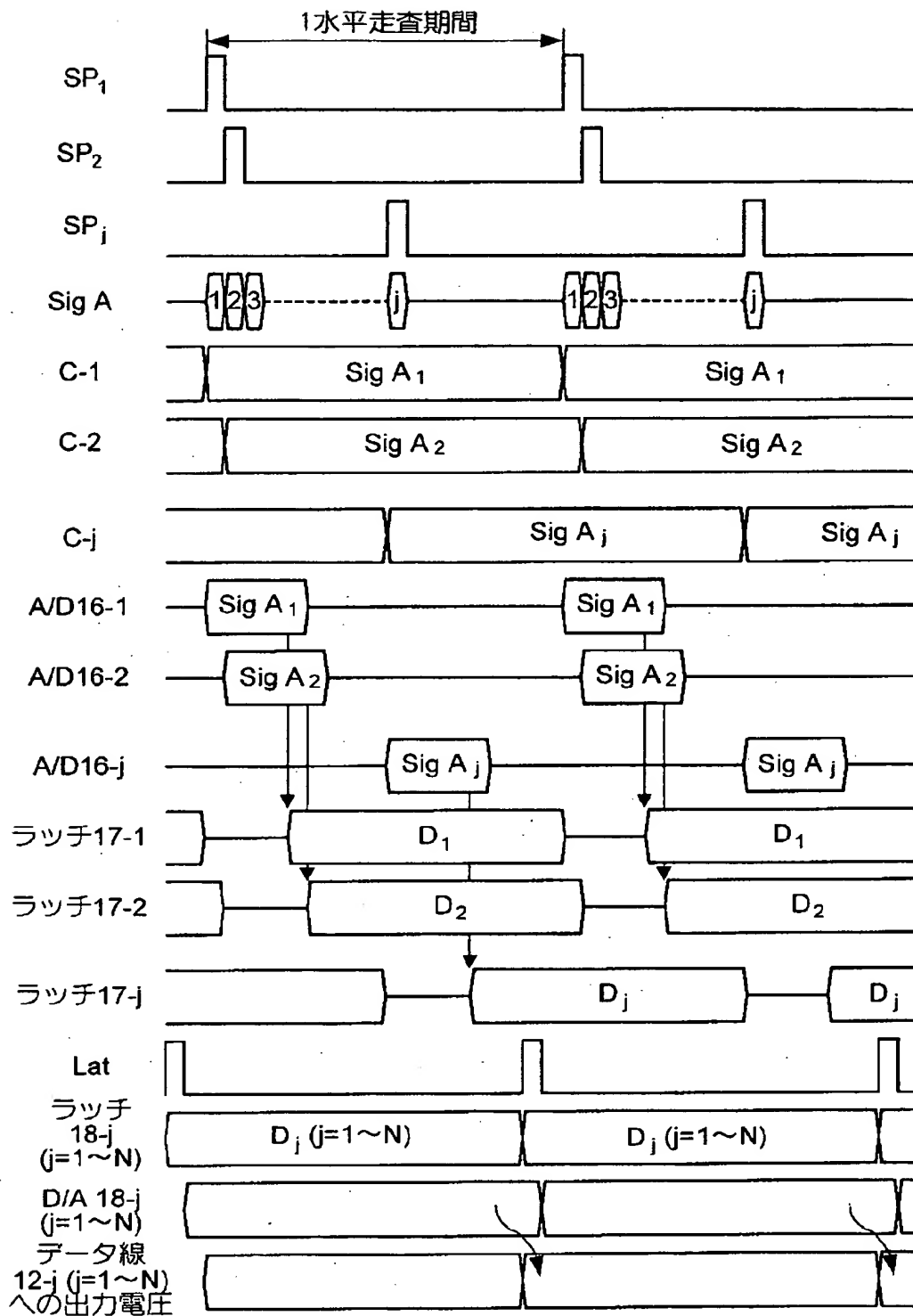
【図 2】



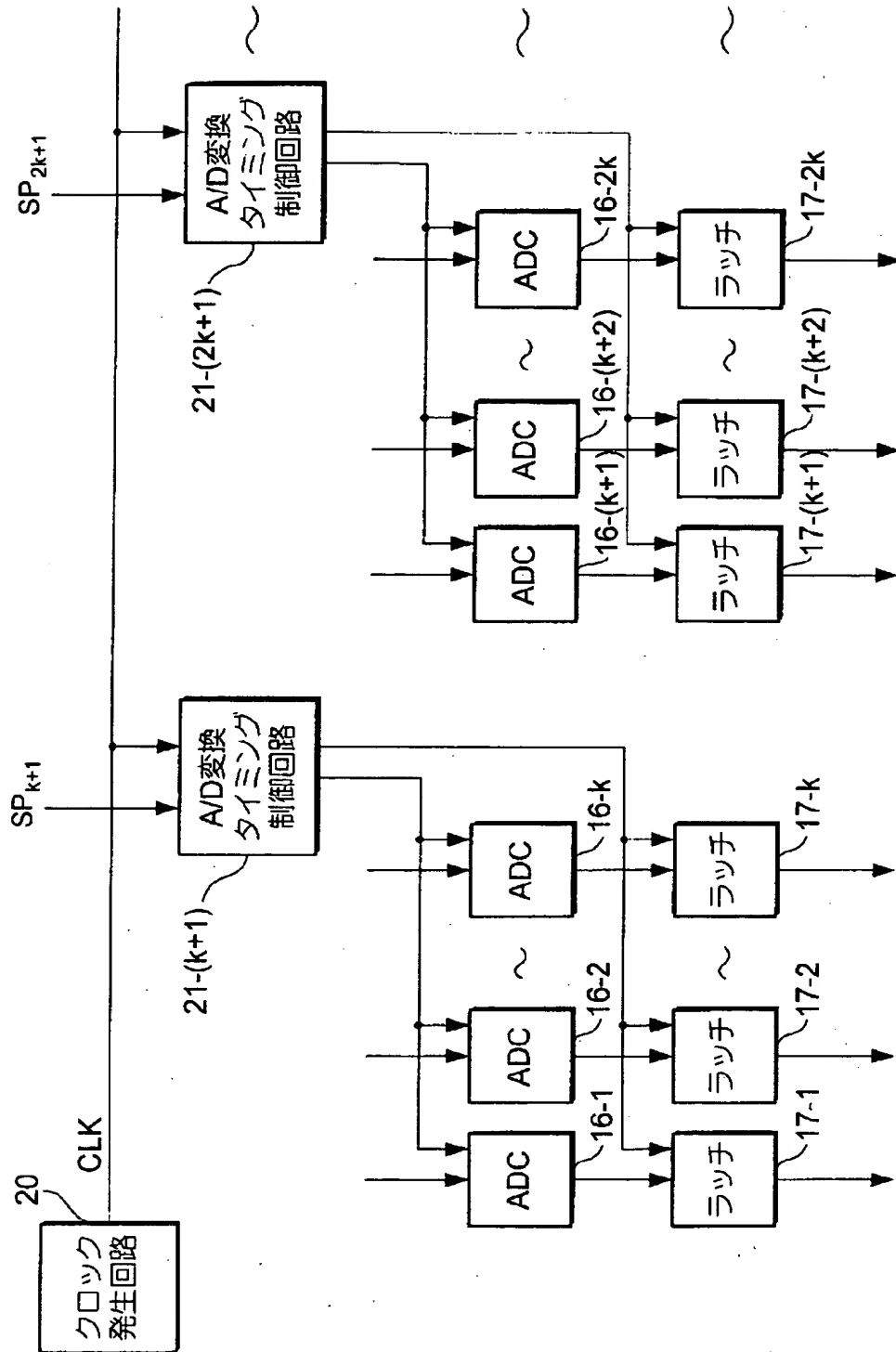
【図 3】



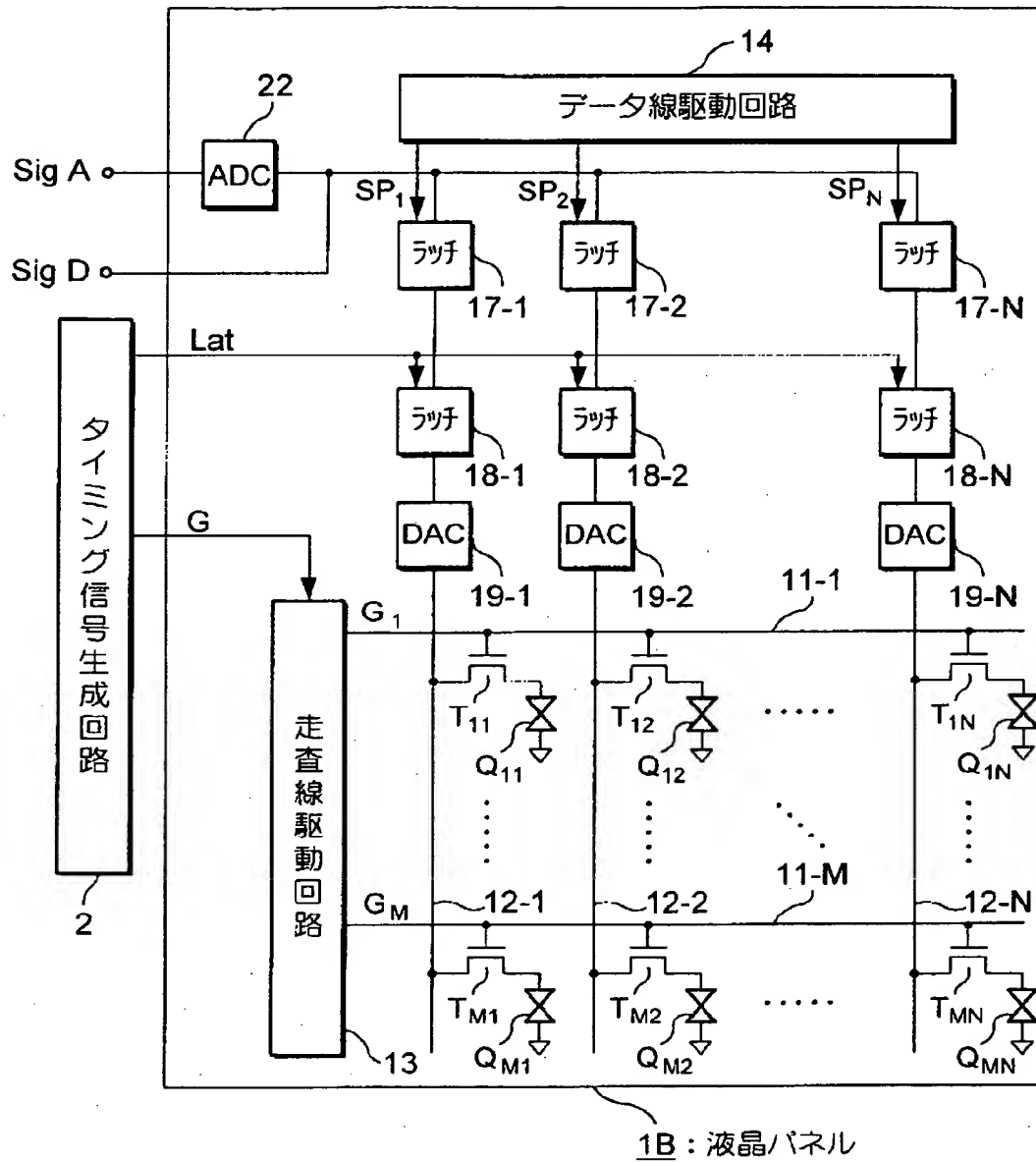
【図 4】



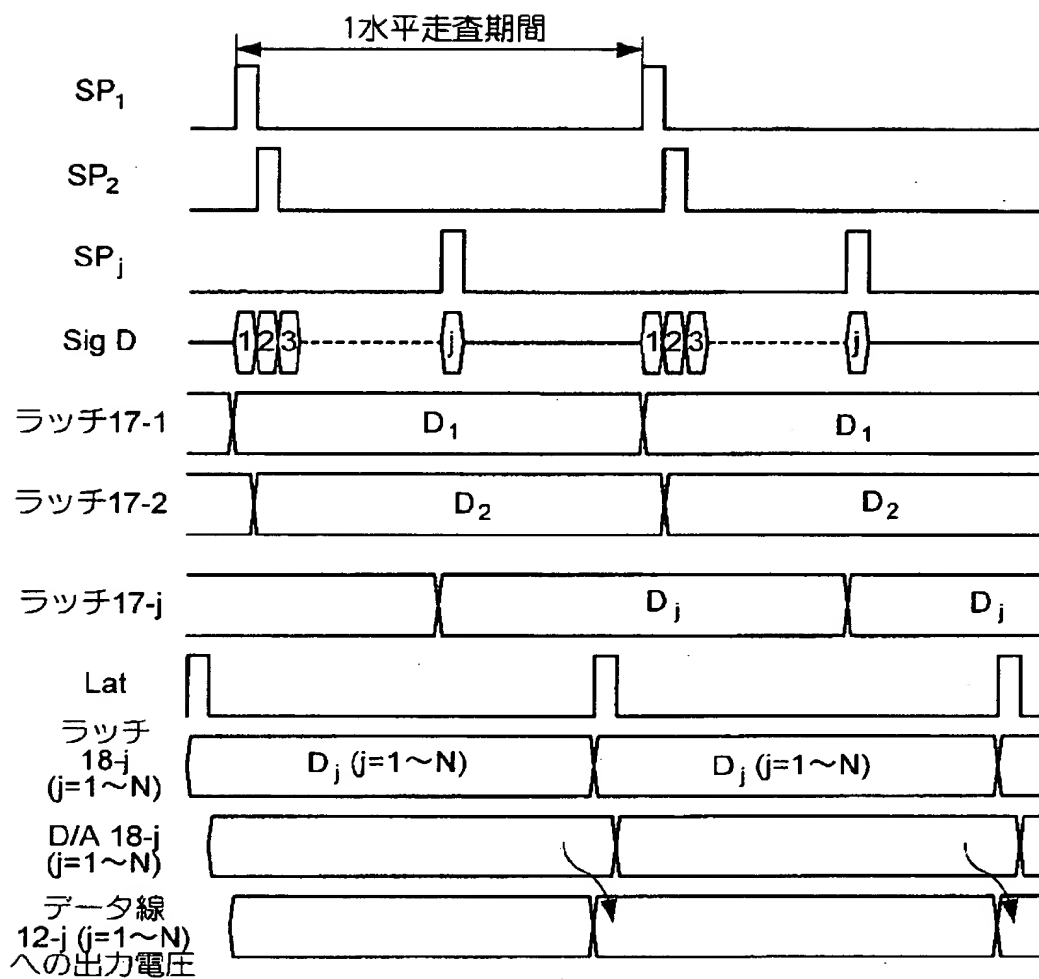
【図 5】



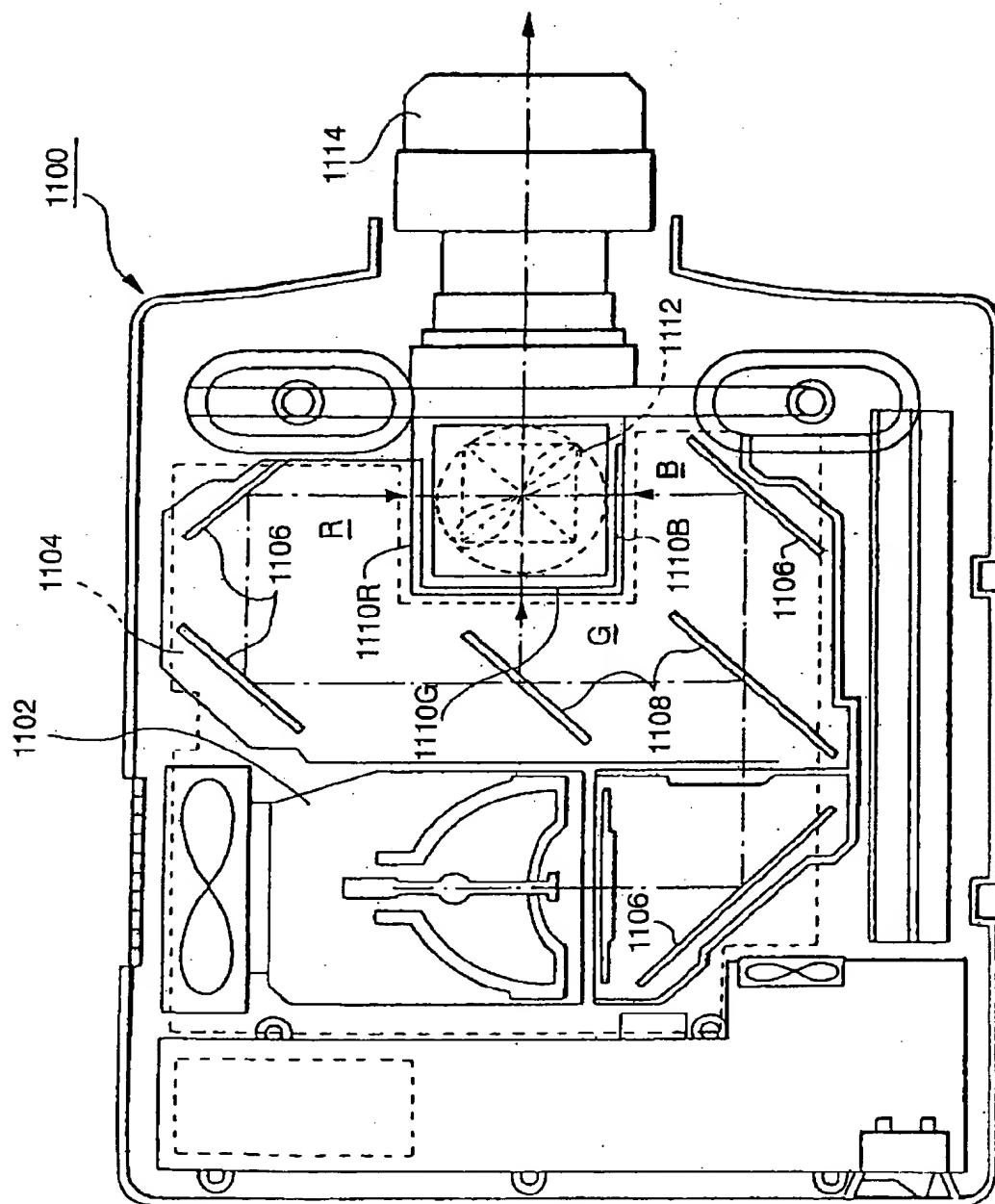
【図 6】



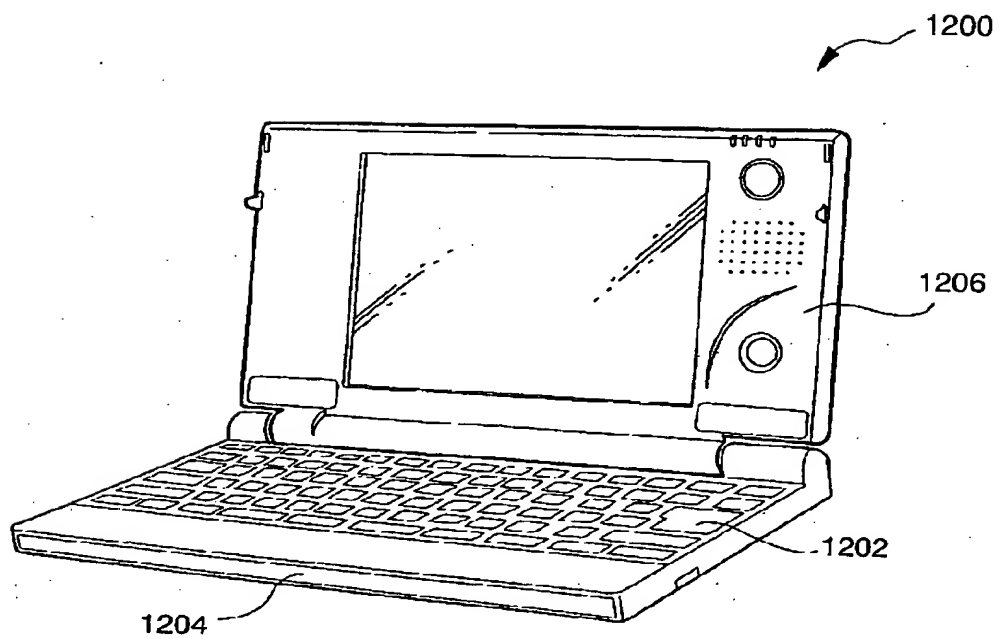
【図 7】



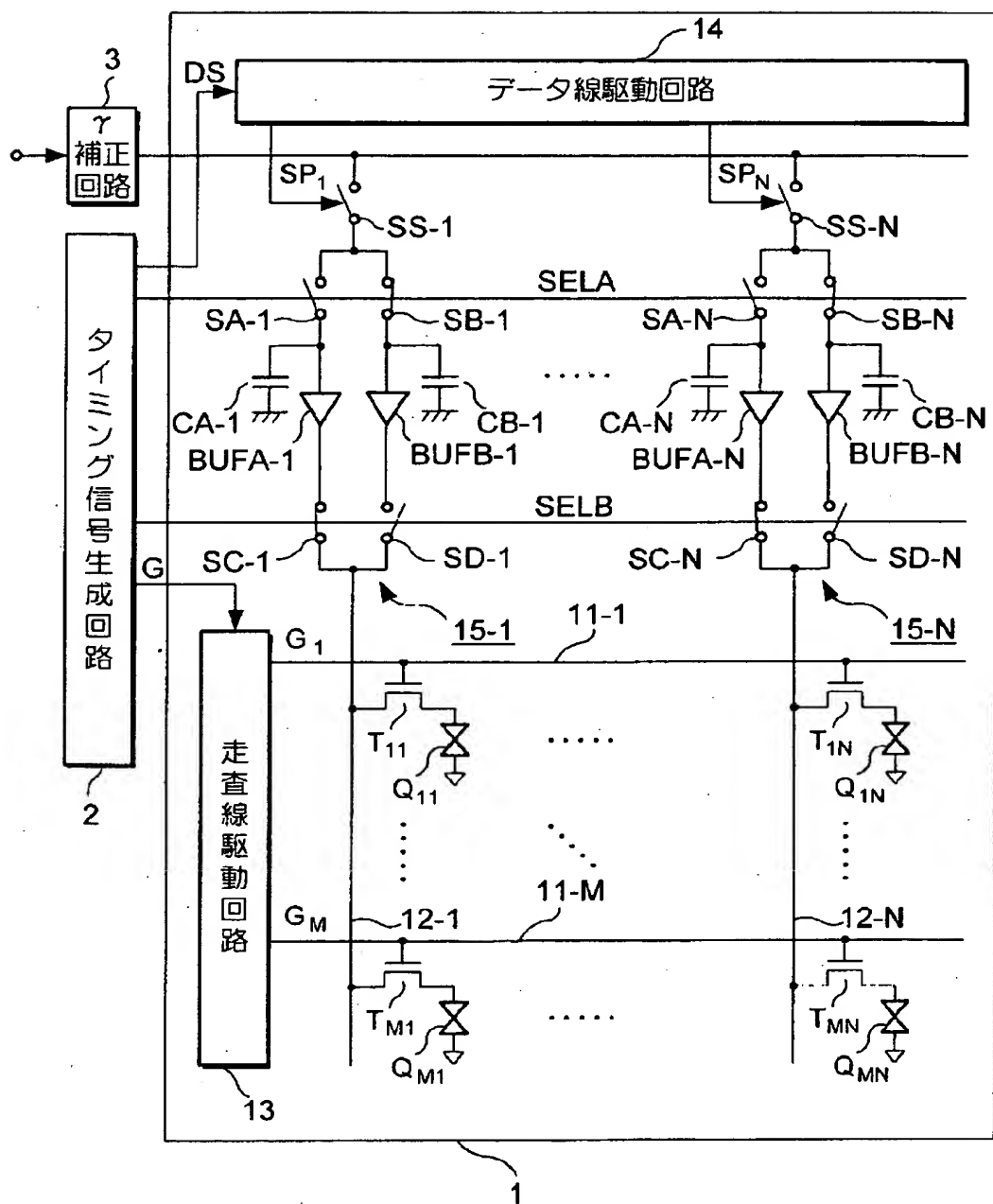
【図 8】



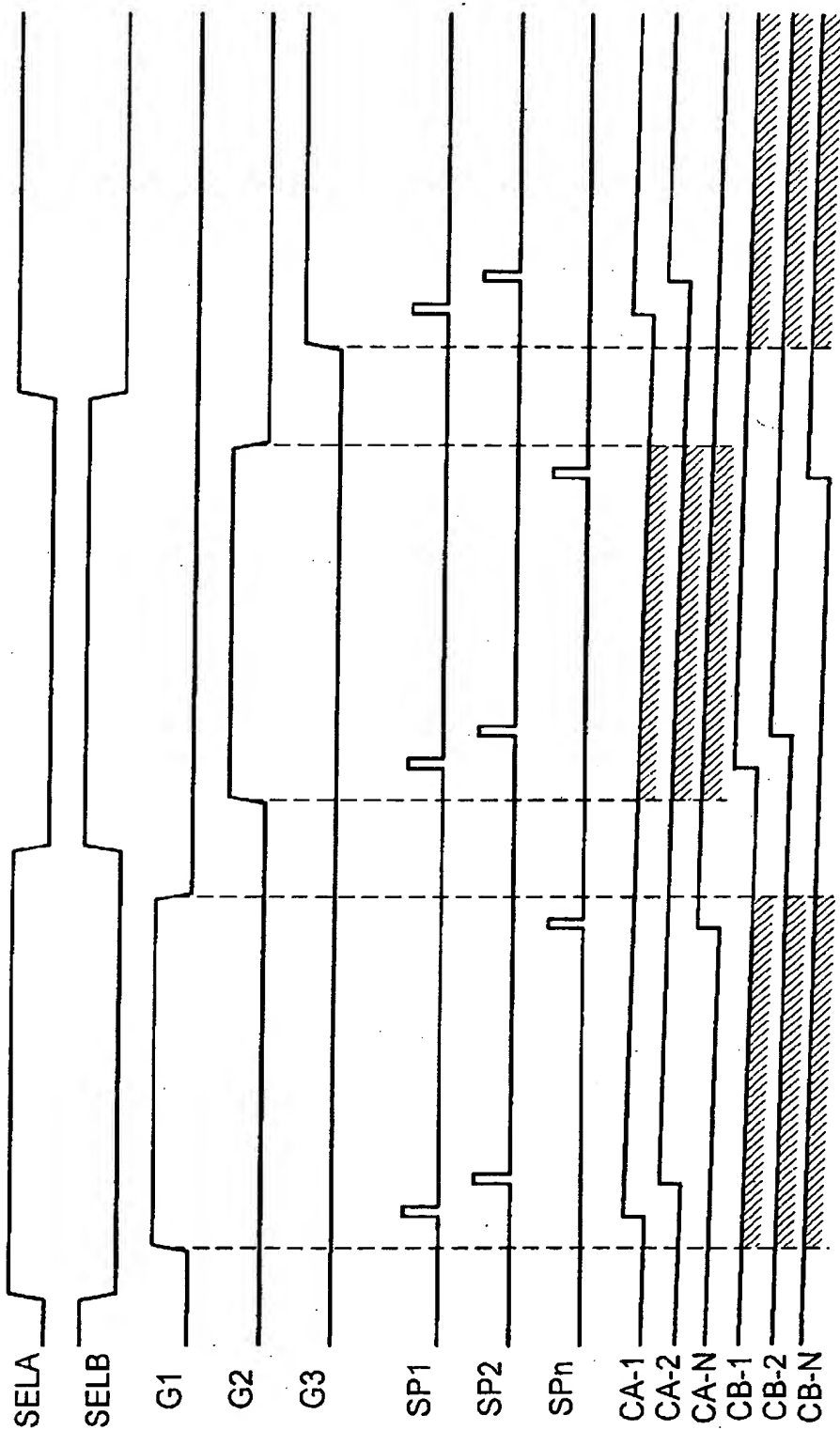
【図 9】



【図 1 0】



【図 1 1】



【書類名】 要約書

【要約】

【課題】 スイッチングノイズやリークの影響を受けることなくアナログ画像信号に対応した電圧を精度良く画素に供給することができ、かつ、アナログ画像信号の高速サンプリングが可能な電気光学装置を提供する。

【解決手段】 アナログ画像信号  $Sig A$  は、容量  $C-j$  に保持された後、1 水平走査期間よりも短い時間内に、 $A/D$  変換器  $16-j$  によってデジタル信号に変換されてラッチ  $17-j$  に保持される。そして、当該アナログ画像信号のデータ線  $12-j$  への印加の際に、ラッチ  $17-j$  から  $18-j$  へのデジタル信号の転送および  $D/A$  変換器  $19-j$  による  $D/A$  変換が行われる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日  
[変更理由] 新規登録  
住 所 東京都新宿区西新宿2丁目4番1号  
氏 名 セイコーエプソン株式会社